

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-141542

(43)Date of publication of application : 20.05.1994

(51)Int.Cl.

H02M 3/28

(21)Application number : 04-289995

(71)Applicant : FANUC LTD

(22)Date of filing : 28.10.1992

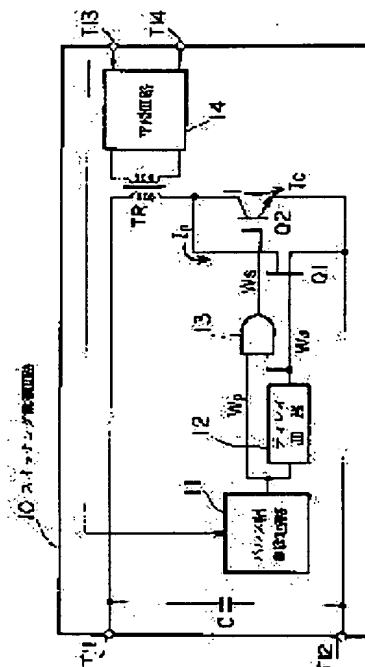
(72)Inventor : NAKADA EIJI

(54) SWITCHING POWER SOURCE CIRCUIT

(57)Abstract:

PURPOSE: To achieve high-speed switching and reduce loss due to continuity loss in a switching power source circuit of a stabilized power source.

CONSTITUTION: Input terminal T11 is connected to one end of a primary terminal of a transformer TR, the other end of the primary terminal of the transformer TR is connected to the drain side of a field-effect transistor Q1, and source side of the field-effect transistor Q1 is connected to the input terminal T12. A capacitor C is connected to the input terminals T11 and T12 in parallel. An insulation gate bipolar mode transistor Q2 is connected to the other end of the primary terminal of the transformer TR and input terminal 12 in parallel with the field-effect transistor Q1. The collector terminal of the insulation gate bipolar mode transistor Q2 is connected to the other end of the primary terminal of the transformer TR and its emitter terminal is connected to the input terminal T12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-141542

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl.⁵

H 0 2 M 3/28

識別記号

庁内整理番号

F I

技術表示箇所

S 8726-5H

審査請求 未請求 請求項の数 2(全 7 頁)

(21)出願番号 特願平4-289995

(22)出願日 平成4年(1992)10月28日

(71)出願人 390008235

ファナック株式会社

山梨県南都留郡忍野村忍草字古馬場3580番地

(72)発明者 中田 英治

山梨県南都留郡忍野村忍草字古馬場3580番地
ファナック株式会社内

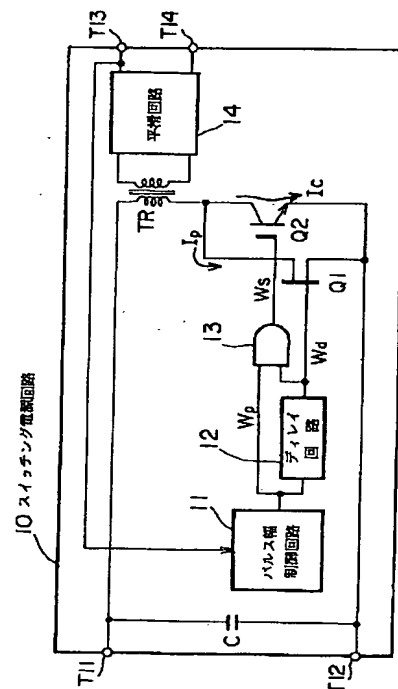
(74)代理人 弁理士 服部 毅巖

(54)【発明の名称】 スイッチング電源回路

(57)【要約】

【目的】 安定化電源装置のスイッチング電源回路に関し、高速にスイッチングを行うとともに導通損による損失を低減する。

【構成】 入力端子T11はトランスTRの一次側端子の一端に接続され、トランスTRの一次側端子の他端は電界効果トランジスタQ1のドレイン側に接続され、さらに電界効果トランジスタQ1のソース側は入力端子T12に接続される。入力端子T11と入力端子T12との間にはコンデンサCが並列に接続される。トランスTRの一次側端子の他端と入力端子T12との間には、電界効果トランジスタQ1に並列して絶縁ゲートバイポーラモードトランジスタQ2が接続される。この絶縁ゲートバイポーラモードトランジスタQ2のコレクタ端子はトランスTRの一次側端子の他端に、エミッタ端子は入力端子T12に、それぞれ接続される。



【特許請求の範囲】

【請求項1】 直流電圧をPWM (Pulse Width Modulation; パルス幅変調) 信号に従って変圧して出力するスイッチング電源回路において、

PWM信号を出力するパルス幅制御回路と、

前記PWM信号を所定の時間だけ遅延させた遅延信号を出力するディレイ回路と、

前記PWM信号と前記遅延信号との論理積をとり、スイッチング信号として出力する論理積回路と、

前記遅延信号を受けて直流電圧を断続する電界効果トランジスタ (FET; Field Effect Transistor) と、

前記電界効果トランジスタと並列に接続され、前記スイッチング信号を受けて前記直流電圧を断続する絶縁ゲートバイポーラモードトランジスタ (IGBT; Insulated Gate Bipolar mode Transistor) と、

を有することを特徴とするスイッチング電源回路。

【請求項2】 前記ディレイ回路は、前記所定の時間を前記絶縁ゲートバイポーラモードトランジスタのターンオフ遅延時間と下降時間との和であるように構成したことを特徴とする請求項1記載のスイッチング電源回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は安定化電源装置のスイッチング電源回路に関し、特に直流電圧をPWM (Pulse Width Modulation; パルス幅変調) 信号に従って変圧して出力するスイッチング電源回路に関する。

【0002】

【従来の技術】 従来のスイッチング電源回路は、パルス幅制御回路から出力されるPWM信号を受けた1個の電界効果トランジスタ (FET; Field Effect Transistor) によって直流電圧を断続して出力していた。

【0003】 図4は、従来のスイッチング電源回路を示す図である。図において、スイッチング電源回路20は、パルス幅制御回路21、平滑回路22、コンデンサC、電界効果トランジスタQ及びトランスTRによって構成される。なお、パルス幅制御回路21は出力端子T23、T24から出力される出力電圧を監視して、PWM信号Wpを出力する。また、平滑回路22は、例えばダイオード、コイル及びコンデンサからなるチョーク入力型平滑回路である。これらのパルス幅制御回路21及び平滑回路22の具体的な回路構成は従来から知られているので説明を省略する。

【0004】 入力端子T21、T22には電源として、図示されていない直流電源が接続される。この入力端子T21はトランスTRの一次側端子の一端に接続され、トランスTRの一次側端子の他端は電界効果トランジスタQのドレイン (drain) 側に接続され、さらに電界効果トランジスタQのソース (source) 側は入力端子T22に接続され、一つの閉回路を構成している。なお、電界効果トランジスタQのゲート (gate) 側には、PWM

信号Wpを出力するパルス幅制御回路21が接続されている。

【0005】 また、上記閉回路に並列して、入力端子T21と入力端子T22との間にはコンデンサCが接続されている。そして、トランスTRの二次側端子は平滑回路22の入力側に接続され、平滑回路22の出力側は出力端子T23、T24に接続されている。

【0006】 この回路構成によって、入力端子T21、T22から入力された直流電圧は、パルス幅制御回路21から出力されるPWM信号Wpによって電界効果トランジスタQでスイッチングされる。また、電界効果トランジスタQのスイッチングに従ってトランスTRで入力側の直流電圧が変換され、平滑回路22を介して出力端子T23、T24から直流電圧が出力される。このスイッチングは比較的高速に行われるため、PWM信号Wpによって直流電圧の立ち上がり及び立ち下りの遷移時に発生する遷移損は比較的小さい。

【0007】

【発明が解決しようとする課題】 しかし、電界効果トランジスタQはドレイン側端子とソース側端子との間のオン抵抗が高いために、その分の直流電圧が降下する導通損が生じていた。このため、電流値を上げると導通損による損失が無視できなくなるという問題点があった。

【0008】 本発明はこのような点に鑑みてなされたものであり、高速にスイッチングを行うとともに導通損による損失を低減するスイッチング電源回路を、提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明では上記課題を解決するために、直流電圧をPWM (Pulse Width Modulation; パルス幅変調) 信号に従って変圧して出力するスイッチング電源回路において、PWM信号を出力するパルス幅制御回路と、前記PWM信号を所定の時間だけ遅延させた遅延信号を出力するディレイ回路と、前記PWM信号と前記遅延信号との論理積をとり、スイッチング信号として出力する論理積回路と、前記遅延信号を受けて直流電圧を断続する電界効果トランジスタ (FET; Field Effect Transistor) と、前記電界効果トランジスタと並列に接続され、前記スイッチング信号を受けて前記直流電圧を断続する絶縁ゲートバイポーラモードトランジスタ (IGBT; Insulated Gate Bipolar mode Transistor) と、を有することを特徴とするスイッチング電源回路が提供される。

【0010】

【作用】 パルス幅制御回路から出力されたPWM信号を受けたディレイ回路は、所定の時間だけ遅延させて遅延信号として出力する。また、論理積回路は、PWM信号と遅延信号との論理積をとり、スイッチング信号として出力する。そして、電界効果トランジスタは遅延信号を受けて直流電圧を断続し、この電界効果トランジスタと

並列に接続された絶縁ゲートバイポーラモードトランジスタはスイッチング信号を受けて直流電圧を断続する。

【0011】この構成によって、PWM信号がオフからオンへ遷移するときは先に電界効果トランジスタ(FET)がオンし、逆にPWM信号がオンからオフへ遷移するときは先に絶縁ゲートバイポーラモードトランジスタ(IGBT)のゲート電圧が低下するとともにコレクタ電圧が低下した後、電界効果トランジスタがオフする。

【0012】この絶縁ゲートバイポーラモードトランジスタはBJT(Bipolar Junction Transistor)と同じく飽和電圧が低く、スイッチング速度が遅い。このため、電界効果トランジスタと組み合わせることによって、電界効果トランジスタがオンの期間に絶縁バイポーラモードトランジスタをオンさせ、電界効果トランジスタの導通損を低減させることができる。また、絶縁バイポーラモードトランジスタのスイッチングを電界効果トランジスタのオン期間内に限定することにより、絶縁バイポーラモードトランジスタのスイッチング損を低減させることができる。

【0013】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。図1は、本発明のスイッチング電源回路を示す図である。図において、スイッチング電源回路10は、パルス幅制御回路11、ディレイ回路12、論理積回路13、平滑回路14、コンデンサC、電界効果トランジスタ(FET)Q1、絶縁ゲートバイポーラモードトランジスタ(IGBT)Q2及びトランスTRによって構成される。なお、パルス幅制御回路11は出力端子T13、T14から出力される出力電圧を監視して、PWM信号Wpを出力する。ディレイ回路12はこのPWM信号Wpを受けて、所定の時間遅延させた遅延信号Wdを出力する。論理積回路13はPWM信号Wp及び遅延信号Wdを受けて論理積を演算し、この演算結果はスイッチング信号Wsとして出力する。また、平滑回路14は、例えばダイオード、コイル及びコンデンサからなるチョーク入力型平滑回路である。これらのパルス幅制御回路11、ディレイ回路12、論理積回路13及び平滑回路14の具体的な回路構成は従来から知られているので説明を省略する。

【0014】入力端子T11、T12には電源として、図示されていない直流電源が接続される。この入力端子T11はトランスTRの一次側端子の一端に接続され、トランスTRの一次側端子の他端は電界効果トランジスタQ1のドレイン側に接続され、さらに電界効果トランジスタQ1のソース側は入力端子T12に接続され、一つの閉回路を構成している。

【0015】また、上記閉回路に並列して、入力端子T11と入力端子T12との間にはコンデンサCが接続されている。さらに、トランスTRの一次側端子の他端と入力端子T12との間には、電界効果トランジスタQ1

に並列して絶縁ゲートバイポーラモードトランジスタQ2が接続されている。この絶縁ゲートバイポーラモードトランジスタQ2のコレクタ端子はトランスTRの一次側端子の他端に、エミッタ端子は入力端子T12に、それぞれ接続されている。

【0016】なお、電界効果トランジスタQ1は絶縁ゲートバイポーラモードトランジスタQ2と比較してオン抵抗が大きく、かつ、導通状態と遮断状態との遷移に要する時間が十分に小さい。以下、簡単のために、絶縁ゲートバイポーラモードトランジスタQ2のスイッチング時間のみを考慮する。

【0017】次に、パルス幅制御回路11から出力されたPWM信号Wpはディレイ回路12及び論理積回路13に入力される。PWM信号Wpを受けたディレイ回路12は所定の時間、具体的には後述する絶縁ゲートバイポーラモードトランジスタQ2のターンオフ遅延時間と下降時間との和で示される時間だけ遅延させた遅延信号Wdを出力する。このディレイ回路12の出力側は電界効果トランジスタQ1のゲート(gate)側に接続されているので、上記遅延信号Wdは電界効果トランジスタQ1に入力される。同様に、PWM信号Wp及び遅延信号Wdを受けた論理積回路13は、これらの信号の論理積を演算してスイッチング信号Wsとして出力する。また、論理積回路13の出力側は絶縁ゲートバイポーラモードトランジスタQ2のゲート側に接続されているので、上記スイッチング信号Wsは絶縁ゲートバイポーラモードトランジスタQ2に入力される。

【0018】そして、トランスTRの二次側端子は平滑回路14の入力側に接続され、平滑回路14の出力側は出力端子T13、T14に接続されている。この回路構成によって、入力端子T11、T12から入力された直流電圧は、ディレイ回路12から出力される遅延信号Wdによって電界効果トランジスタQ1がスイッチングされ、論理積回路13から出力されるスイッチング信号Wsによって絶縁ゲートバイポーラモードトランジスタQ2がスイッチングされる。この際、PWM信号Wpがオフからオンへ遷移するときは先に電界効果トランジスタQ1がオンし、逆にPWM信号Wpがオンからオフへ遷移するときは先に絶縁ゲートバイポーラモードトランジスタQ2のゲート電圧が低下するとともにコレクタ電圧が低下した後、電界効果トランジスタQ1がオフする。

【0019】したがって、オン抵抗の低い絶縁ゲートバイポーラモードトランジスタQ2を、電界効果トランジスタQ1に並列に接続することによって、導通損を低減させることができる。

【0020】次に、絶縁ゲートバイポーラモードトランジスタQ2のターンオフ遅延時間と下降時間について説明する。図2はターンオフ遅延時間と下降時間を示す図である。この図では、図1に示す絶縁ゲートバイポーラモードトランジスタQ2が±5Vのスイッチング信号W

s をゲート電圧 V_{GE} として受けて動作する場合を示す。

【0021】スイッチング信号 W_s の変化に従って、時刻 t_1 にゲート電圧 V_{GE} が $-5V$ からプラス側電圧の 10% 、すなわち $+0.5V$ に達する。また、このゲート電圧 V_{GE} の立ち上がりを受けて、時刻 t_2 に絶縁ゲートバイポーラモードトランジスタ Q_2 のコレクタ側からエミッタ側へ流れる電流 I_c がこの最大電流値の 10% に達し、時刻 t_3 にこの最大電流値の 90% に達する。時刻 t_1 と時刻 t_2 との時間間隔はターンオン遅延時間 $t_d(on)$ であり、時刻 t_2 と時刻 t_3 との時間間隔は上昇時間 t_r である。なお、この時コレクタ電圧 V_{CE} は、ゲート電圧 V_{GE} の立ち上がりを受けて立ち下がる。

【0022】また、時刻 t_4 にゲート電圧 V_{GE} が $+5V$ からプラス側電圧の 90% 、すなわち $+4.5V$ に達する。また、このゲート電圧 V_{GE} の立ち下がりを受けて、時刻 t_5 に絶縁ゲートバイポーラモードトランジスタ Q_2 を流れる電流 I_c がこの最大電流値の 90% に達し、時刻 t_6 にこの最大電流値の 10% に達する。この時刻 t_4 と時刻 t_5 との時間間隔はターンオフ遅延時間 $t_d(off)$ である。なお、この時コレクタ電圧 V_{CE} は、ゲート電圧 V_{GE} の立ち下がりを受けて立ち上がる。また、時刻 t_5 と時刻 t_6 との時間間隔は、下降時間 t_f である。

【0023】次に、本発明のスイッチング電源回路 10 の動作についてタイムチャートを用いて説明する。図 3 は、図 1 に示すスイッチング電源回路のタイムチャートである。このタイムチャートはスイッチング電源回路 10 における時間の経過に従って変化する信号を示し、図面上部から PWM 信号 W_p 、遅延信号 W_d 、スイッチング信号 W_s 、電界効果トランジスタ Q_1 を流れる電流 I_p 及び絶縁ゲートバイポーラモードトランジスタ Q_2 を流れる電流 I_c の各信号を示す。

【0024】時刻 t_1 で PWM 信号 W_p が立ち上がると、時刻 t_1 から図 2 に示すターンオフ遅延時間 $t_d(off)$ と下降時間 t_f との和で示される時間（以下、単に「遅延時間 t_d 」という。）だけ遅れて、時刻 t_2 に遅延信号 W_d 、スイッチング信号 W_s 及び電流 I_p が立ち上がる。また、電流 I_c は絶縁ゲートバイポーラモードトランジスタ Q_2 のスイッチングの遅れのために時刻 t_3 で立ち上がりを完了する。ここで、電界効果トランジスタ Q_1 及び絶縁ゲートバイポーラモードトランジスタ Q_2 の導通時におけるドレイン・ソース間電圧、コレクタ・エミッタ間電圧は共に入力直流電源電圧と比較して十分に小さいものとする。この仮定の下では、電界効果トランジスタ Q_1 のみが導通しているときの電流値は、絶縁ゲートバイポーラモードトランジスタ Q_2 が導通した後に、電界効果トランジスタ Q_1 と絶縁ゲートバイポーラモードトランジスタ Q_2 とのオン抵抗の比に従って双方に分流した各電流値の和にほぼ等しい。

【0025】そして、時刻 t_4 で PWM 信号 W_p の立

ち下がりとともに、スイッチング信号 W_s も立ち下がる。また、時刻 t_3 から遅延時間 t_d だけ遅れて、時刻 t_4 に遅延信号 W_d が立ち下がる。電流 I_p は時刻 t_4 で一旦最大電流値になった後、スイッチング信号 W_d に従って $\pm 0A$ になる。電流 I_c は時刻 t_4 からターンオフ遅延時間 $t_d(off)$ 後電流が低下し始め、時刻 t_5 で $\pm 0A$ になる。

【0026】同様に、時刻 t_1 で入力される PWM 信号 W_p と異なるパルス幅が時刻 t_2 で入力されても、時刻 t_2 から遅延時間 t_d だけ遅れて、時刻 t_3 に遅延信号 W_d 、スイッチング信号 W_s 及び電流 I_p が立ち上がる。電流 I_c は絶縁ゲートバイポーラモードトランジスタ Q_2 のスイッチングの遅れのために時刻 t_4 で立ち上がりを完了する。また、時刻 t_4 で PWM 信号 W_p の立ち下がりとともにスイッチング信号 W_s も立ち下がり、時刻 t_4 から遅延時間 t_d だけ遅れて、時刻 t_5 に遅延信号 W_d が立ち下がり完了する。電流 I_p は時刻 t_5 で一旦最大電流値になった後、スイッチング信号 W_d に従って $\pm 0A$ になる。電流 I_c は時刻 t_4 からターンオフ遅延時間 $t_d(off)$ 後電流が低下し始め、時刻 t_5 で $\pm 0A$ になる。

【0027】こうして、PWM 信号 W_p がオフからオンへ遷移するときは遅延信号 W_d を受けた電界効果トランジスタ Q_1 が先にオンし（時刻 t_1 , t_2 ）、その後絶縁ゲートバイポーラモードトランジスタ Q_2 がオンする（時刻 t_3 , t_4 ）。逆に、PWM 信号 W_p がオンからオフへ遷移するときはスイッチング信号 W_s を受けた絶縁ゲートバイポーラモードトランジスタ Q_2 が先にオフし始め（時刻 t_4 , t_5 ）、その後電界効果トランジスタ Q_1 とともにオフするため（時刻 t_5 , t_6 ）、PWM 信号 W_p のオン・オフによる遷移損を低減させることができる。

【0028】また、オン抵抗が低い絶縁ゲートバイポーラモードトランジスタ Q_2 を、電界効果トランジスタ Q_1 と並列に接続することによって、導通損を低減させ、出力電圧の低下を防止することができる。

【0029】さらに、遅延時間 t_d をターンオフ遅延時間 $t_d(off)$ と下降時間 t_f との和で示される時間とすることによって、電界効果トランジスタ Q_1 がオンしている間に絶縁ゲートバイポーラモードトランジスタ Q_2 を確実にオフ動作させることができる。

【0030】以上の説明では、電界効果トランジスタ Q_1 のスイッチング時間を「0」として遅延時間 t_d をターンオフ遅延時間 $t_d(off)$ と下降時間 t_f との和で示される時間としたが、これに限ることなく使用される電界効果トランジスタ Q_1 及び絶縁ゲートバイポーラモードトランジスタ Q_2 の組み合わせに応じて、電界効果トランジスタ Q_1 がオンしている間に絶縁ゲートバイポーラモードトランジスタ Q_2 を確実にオフ動作させることができる最適な時間に設定してもよい。

【0031】

【発明の効果】以上説明したように本発明では、パルス幅制御回路から出力されたPWM信号を受けたディレイ回路が遅延信号を出力し、論理積回路がスイッチング信号を出力し、電界効果トランジスタが遅延信号を受けて直流電圧を断続し、電界効果トランジスタに並列に接続された絶縁ゲートバイポーラモードトランジスタがスイッチング信号を受けて直流電圧を断続するように構成したので、電界効果トランジスタの高速スイッチングにより遷移損を低減させることができ、絶縁ゲートバイポーラモードトランジスタにより導通損を低減させることができる。

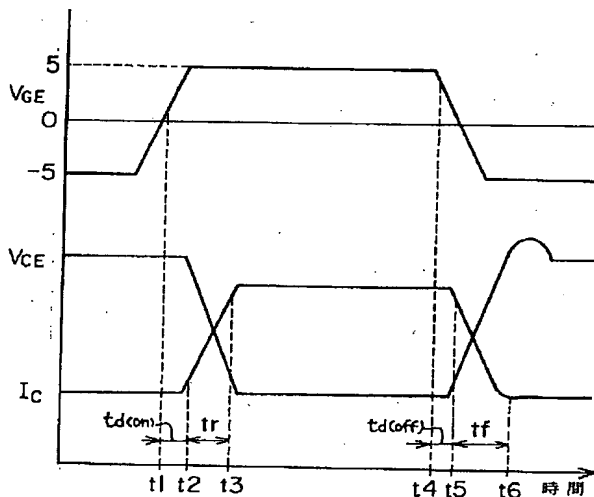
【0032】したがって、遷移損及び導通損の低減によって、スイッチング電源回路全体の発熱量も低減できるため、放熱器の体積を削減することができる。

【図面の簡単な説明】

【図1】本発明のスイッチング電源回路を示す図である。

【図2】蓄積時間と下降時間を示す図である。

【図2】



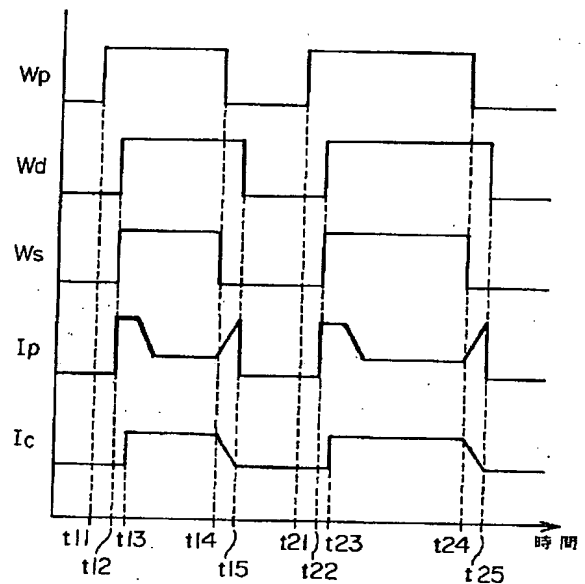
【図3】図1に示すスイッチング電源回路のタイムチャートである。

【図4】従来のスイッチング電源回路を示す図である。

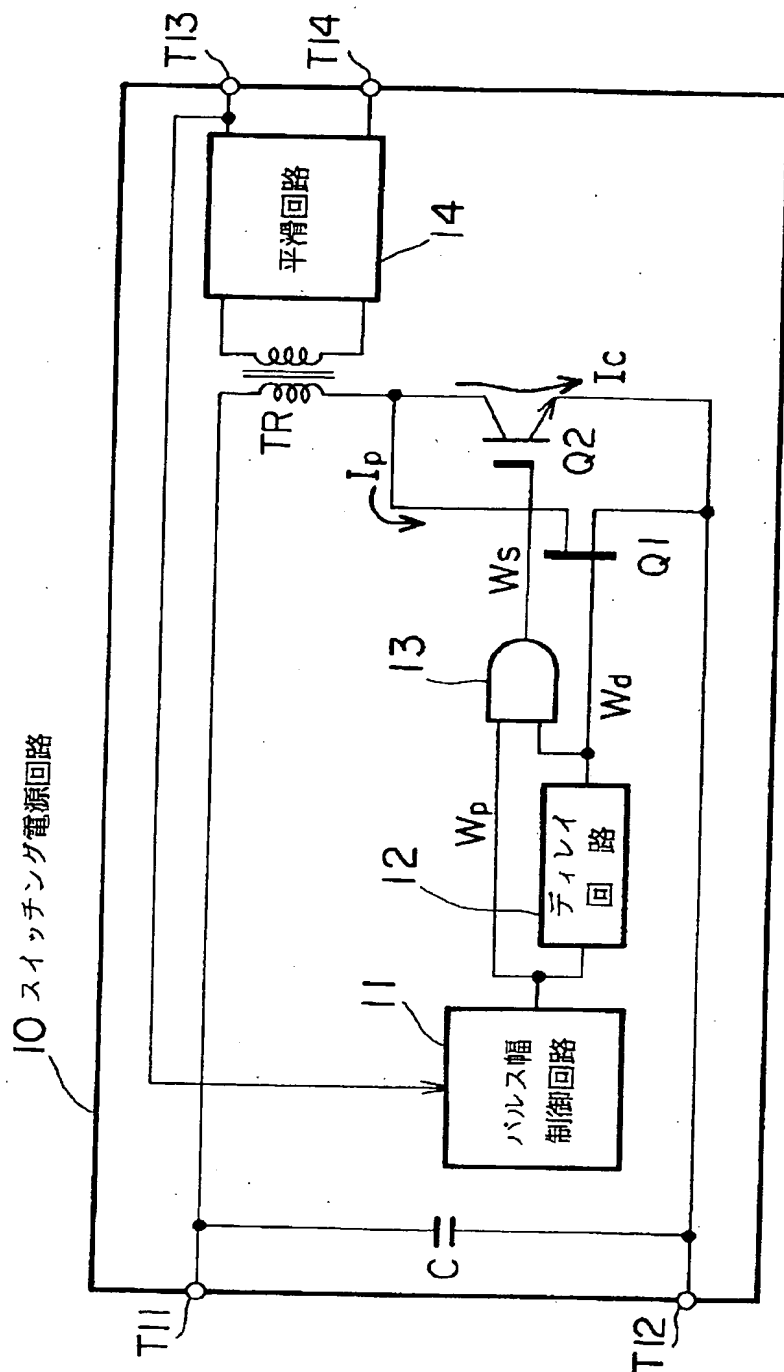
【符号の説明】

- 10 スwitchング電源回路
- 11 パルス幅制御回路
- 12 ディレイ回路
- 13 論理積回路
- 14 平滑回路
- 10 Q1 FET (Field Effect Transistor; 電界効果トランジスタ)
- Q2 IGBT (Insulated Gate Bipolar mode Transistor; 絶縁ゲートバイポーラモードトランジスタ)
- TR トランス
- C 平滑コンデンサ
- Wp PWM (Pulse Width Modulation; パルス幅変調) 信号
- Wd 遅延信号
- Ws スwitchング信号

【図3】



【図1】



【図4】

